

ePRONICS

© GERBTOOL

GERBTOOL · VisualCAM

プリント基板デザインルールチェック

基板設計者にとって、基板設計完了後にデザインを変更する場合、変更する難しさ、それに費やす時 間が多大なことはよく存知していると思います。今日では生産向けの基板に限らず評価用試作基板に おいても同じことがいえます。デザインルールチェックは基板設計におけるチェックの他、基板製造 業者へ依頼する前に非常に重要な作業となります。CAD ソフト上での DRC は主に電気的な接続が適 切に行われているかを確認し、CAM ソフト上での DMC は基板が問題なく製造され、デザインが適切 か確認します。CAM ソフトでの DMC は製造する上で、さまざまな角度からのチェックを容易にし、 助けとなります。ここでは GerbTool & VisualCAM での DRC と DMC 機能の手順を記載します。

Analysis DRC/MRC

1

GerbTool または Visual CAM おいて分析を行う前に、レイヤータイプが適切か確認を行って下さい。 確認は Navigator ウィンドウ、Data タブをクリックして行います。

メニューAnalysis から DRC/MRC を選択します。

📧 Analysis Setup							\times
Run Name:		(Optional)		Hig	hLight Layer:	11 V (Optiona	I)
Pass Setup (Top/Bottom)			Analysis Type	Properties	Layer(s)		
Passes Layer Top/Bottom Dinner Layers DetaPattern Add Delete	s to Check Type L'I:pri.art Top L'Lint Lart Inner L'LintLart Inner L'A:gnd.art Plane Ne L'A:vcc.art Plane Ne L'SintZ.art Inner «Lössec.art Bottom Thru-Hole Drill Layer: 9	:g ;g •	Production PDF PDFF PDFF				
Window Max Don't check items in Select Group	Errors: 100		٢				>
Save Load		Run	Close Cancel			Set As Default	

プリント基板デザインルールチェック



Run Name: 分析名。各分析に名前を付けることが可能。使用設定が保存されます。名前を設定しな い場合は、日付、時間、が名前として記録されます。

Passes : 分析するレイヤー、分析項目の設定を組合せ名前を付け追加が可能。

Layers to check:分析するレイヤーにチェックし有効にします。

Through-Hole Drill Layer: スルーホールレイヤ選択、ない場合は NONE を選択。

In Window: このオプションが有効になっている場合、分析はウィンドウで選択した内部のみ実行さ れます。

Don't Check items in Slect group: このオプションが有効になっている場合は、選択したグループ内 のすべての項目がスキップされます。

Max Errors: レポートに含まれるエラー数の最大数。

Save/Load:保存/読込み。保存することで、同じ基板にも使用。分析する項目を保存することで、異 なる業者への依頼や異なった基板に対しても対応が可能となります。

Highlight Layer: 分析で見つかったすべてのエラーは、未使用のレイヤーにコピーされます。コピー するレイヤーは予めレイヤーリストボックスから選択してご使用下さい。

<u>Run</u>: 分析の実行

2

Information Analysis Analysis Setup \times Run Name: <u style="text-align: center; c (Optional) HighLight Layer: 11 ▼ (Optional) Pass Setup (Top/Bottom) Analysis Type Properties Layer(s) 🖃 -- 🕗 Passes Layers to Check Туре Min Air Gap × <none selected> 🗆 🛥 L1:pri.art n/a ✓ Top/Bottom Тор Conductive Layer Count n/a <none selected> L2:int1.art Inner Board Size n/a <All Conductive> L3:gnd.art Plane Neg Hole Count L9:Drill n/a Plane Neg 4:vcc.art Hole Size Count n/a L9:Drill L5:int2.art Inner × **Buried Vias** <not defined> n/a the second se Bottom х Blind Vias <not defined> n/a Stacked Blind/Buried Vias n/a <not defined> × Min Pad/Drill n/a <none selected>/L9:Drill Min Drill/Drill n/a L9:Drill Min NPTH/Copper n/a L9:Drill/<none selected> × Min Pad/Pad n/a <none selected> × Min Pad/Trace n/a <none selected> n/a Min Trace/Trace <none selected> × Min Pad/Mask n/a <not selected>/<not defined> : < Min Thermal/Drill n/a <not selected>/L9:Drill > Min PTH Pad Size n/a <none selected> Add... Delete... Thru-Hole Drill Layer: 9 • Min Trace Width n/a <none selected> × Min SMT Pitch n/a <not selected>/<not selected> Legend on PTH Count <not selected>/L7:slkpri.art : <not × n/a Window Max Errors: 100 Ŧ × Legend on NPTH Count n/a L9:Drill:L7:slkpri.art/L8:slksec.art Don't check items in Select Group Save... Load... Run Close Cancel Set As Default

分析結果は統計による分析となります。

ユーザに位置情報がない場合においてこの分析は非常に役立ちます。

詳しくはGerbTool/ VisualCAM manual(Help)をご覧ください。



以下、分析の各タイプについて説明します。ここでは、分析の最も一般的なタイプを実行する方法を 記載します。

Information Analysis 最小パターン幅・最小パターン間隔

メニューAnalysis から DRC/ MRC メニューを選択します。Layers to Check からーつレイヤーを選択 し右クリックメニューから Check ALL を選択します。または確認するレイヤーのみチェックを入れま す。分析は Min Air Gap(最小エアギャップ)と Min Trace width(最小トレース幅)を有効にします。



3

プリント基板デザインルールチェック



分析完了後、下画面のようなメッセージが表示されます。Navigator ウィンドウにて Analysis タブを クリックします。詳細は選択すると確認が可能です。



DRC プリント基板の発注前チェックリスト

基板製造には一般的に DRC 分析を一度行われてから製造されます。ここでは発注前のチェック項目の 詳細を確認します。メニューAnalysis から DRC/ MRC を選択します。Layers to Check から分析す るレイヤーを選択します。すべての分析を実行するには、Thru-HoleDrill Layer からドリルレイヤー を選択します。

I Analysis Setun			×
E Analysis security			~
Run Name: PCB JOB SHOP CHECK DATA (Optiona	I)	Hig	hLight Layer: None 💌 (Optional)
Pass Setup (AllLayers)	Analysis Type	Properties	Layer(s)
Passes Layers to Check Type Image: AllLayers Image: Layers to Check Type Image: AllLayers Image: Layers to Check Type Image: AllLayers Image: Layers to Check Top Image: AllLayers Image: Layers to Check Top Image: AllLayers Image: Layers to Check The Neg Image: AllLayers Image: Layers to Check Plane Neg Image: AllLayers Image: Layers Image: Layers Add Delete Thru-Hole Drill Layer Image: Layers Image: Window Max Errors: Image: Layers Image: Layers		0.00 0.00 0.00 0.00 0.00 0.00 0.00 0.0	<pre><multiple conductive=""> <multiple conductive=""> <multiple conductive=""> <inultiple conductive=""> <inultiple conductive=""> <multiple conductive=""> <multiple conductive=""> <multiple conductive=""> <inultiple conductive=""></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></inultiple></multiple></multiple></multiple></inultiple></inultiple></multiple></multiple></multiple></pre>
Don't check items in Select Group	<		>
Save Load Run	Close Cancel		Set As Default

☑Pad /Pad, Pad/Trace, Trace/Trace
 パターンの最小間隔をチェックするには上の項目にチェックを入れます。
 多くの基板製造会社は 0.1mm 以上要求しています。初期設定では 0.2mmです。
 Properties から数値を入力します。少数点位置は固定されていますので値のみを入力ください。

Border

指定されたレイヤー(outline)から、設定した距離より近い項目のチェック。 初期設定 0.5mm

☑ Min PAD 最小パッド(最小はドリル径プラス 0.35mm 以上)
 設定された値よりも、直径が少ないパッドのチェック
 初期設定 0.6~0.65mm

☑Min trace

最小パターンサイズ(通常パターン最小幅 0.12mm 以上)

0.15mm 以上

☑Drill Annulus

ランドに穴をあけた後に 出来上がった Donuts の幅

設定は上記画の Donuts 幅 0.15mm 以上に設定します、設定を YES に設定すると、設定した値より小 さい値になると銅箔が無しとしてエラーが表示されます。逆にする場合は No と設定します。

☑Pad/Top Mask ☑Pad/Bot Mask
部品面・半田面 レジストマスク と パッドのクリアランスランスをチェックします。



Properties ではクリアランスの値を入力してください。

プリント基板デザインルールチェック

☑ Pad/Top Silk & Pad/Bot Silk



最小クリアランスを、部品面・半田面パッドと、部品面・半田面 シルクスクリーンレイヤーへ間で設定。このクリアランスルール に違反している場合、シルクスクリーンは、パッド上へ印刷され る可能性があります。 修正は、メニューTools から Fix SilkScreen を選択して行えます。 Prooerties から Yes を選択すると対象がシルクスクリーンレイヤ ーではなく、マスクレイヤーと比較されます。 通常クリアランスは 0.1mm に設定。

ドリルデータチェック

無駄なドリルデータがないか確認します。 ☑Missing Drill: パッド上にドリルデータがない ☑Coincident Drill: 同じ場所にあるが、異なるサイズのドリルデータがある ☑Redundant Drill: 同じ場所にあるが、異なるサイズのドリルデータがある

全ての項目を設定した後、DRC ダイアログは下画面の様になります。

n Name:	PCB Job Shop		(Optional)		Hig	hLight Layer: 13 💌 (Optional
ass Setup Passes	(AIILAyers)	Layers to Check	Туре	Analysis Type	Properties	Layer(s)
M AIILA	Ayers	 ✓ ••• L2:pri.art ✓ ••• L4:int1.art ✓ □ L5:gnd.art ✓ □ L6:vcc.art ✓ ••• L7:int2.art ✓ ••• L8:sec.art 	Top Inner Plane Neg Inner Bottom	DRC Pad/Pad Pad/Trace Pad/Trace Trace/Trace Min Pad Min Trace Stubs Drill/Drill Drill Annulus Direct to Plane Drill/Copper Pad/Top Mask Pad/Bot Mask Drill/Top Mask Drill/Drop Mask Drill/Drop Mask Drill/Bot Mask Drill/Bot Mask	0.20 0.20 0.50 0.60 0.15 n/a 0.00 0.15, No Yes, Yes, Yes 0.00, 0.00 0.11 0.11 0.11 0.11	<multiple conductive=""> <multiple conductive=""> <multiple conductive=""> L12:Outline/<multiple conductive:<br=""><multiple conductive=""> <multiple conductive=""> L1:Drill <multiple conductive="">/L11:Drill <multiple conductive="">/L11:Drill <multiple conductive="">/L11:Drill L2:pri.art/L1:GenTopSolderMask L11:Drill/L1:GenTopSolderMask L11:Drill/L1:GenTopSolderMask L11:Drill/L1:GenTopSolderMask</multiple></multiple></multiple></multiple></multiple></multiple></multiple></multiple></multiple>
Add Delete Thru-Hole Drill Layer: 11		Wissing top Wask Wissing Bot Mask Wissing Bot Mask Pad/Top Silk	n/a 0.00, No	L8:sec.art/L3:GenBotSolderMask L2:pri.art/L9:slkpri.art		
Window Don't che	eck items in Sele	Max Errors: 100		Pad/Bot Silk	0.00, No n/a	L8:sec.art/L10:slksec.art <multiple conductive="">/L11:Drill ></multiple>



メニューTools から Fix Silkcreeen command を選択して修正します。

---- 🖗 😢 Pad to Top Silk:



Fix Silkcreeen command の修正結果 クリアランスルールに違反しているセグメントのみが削除されます。



ここでは基板製造会社へ発注する前に多く使用される機能をご紹介します。GerbTool & VisualCAM は、 製造に関わる根本的な DFF(基板加工を考慮した設計)の問題の分析が行えます。

☑Copper Slivers:

銅スライバ領域の検出。基板から剥離しやすく、銅箔の狭い領域を検出します。



左の画像のような違反を検出します。 パラメータは、0.1mm を使用しています。

☑Resist Slivers ;

銅スライバに似たスライバーレジスト。レジストスライバは、基板に付着した小さい領域となり、剥 がれ落ちることが考えられます。



左の画像の様に検出 します。 パラメータは 0.1mm です。



 \blacksquare Starved Thermals

サーマル領域不足。

サーマルパッドの接続が有効か、近すぎていないか、重複していないかを確認します。

指定された値より小さい場合は、エラーとして表示されます。

下画面では 50 パーセントに設定しています。



設定値 Clear:0の場合、全てのクリアランスが保たれた状態 となり、1とした場合、少なくとも1つのクリアランスが保た れた状態でなければなりません。